

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140377

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H01L 21/304

(21)Application number : 05-053614

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.03.1993

(72)Inventor : USUDA KOJI  
KANETANI HIROYUKI  
YAMADA HIROSAKU  
MOCHIZUKI HIROSHI

(30)Priority

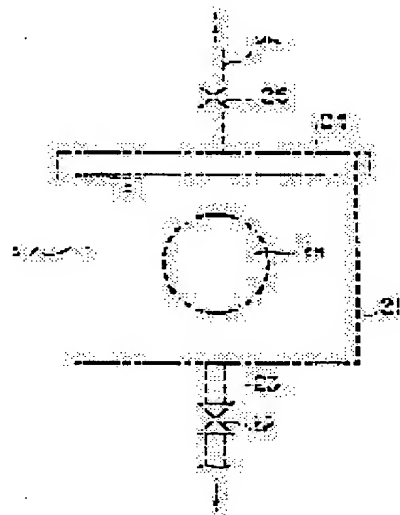
Priority number : 04240664 Priority date : 09.09.1992 Priority country : JP

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To keep cleaned crystal surface more stably and clean for a longer time by removing residual impurities on crystal surface with a liquid surface treating agent as pretreatment for film-forming process and then by washing the crystal with pure water substantially not forming oxides and storing the crystal in pure water.

**CONSTITUTION:** A liquid state surface treating agent 27 such as pure water, hydrofluoric acid-based, sulfuric acid-based, hydrochloric acid-based, hydrogen peroxide-based, ammonia-based or their combinations are preselected depending on the contents of treatment, adjusted and stored in a treating vessel 21 in advance. Then, residual impurities, oxide films and organic pollutants on crystal surface are removed. Then, valves 22 and 26 are opened, pure water with dissolved oxygen concentration of less than 300ppb is introduced to the treating vessel 21, the surface treating agent 27 is replaced with pure water, and the surface of silicone crystal substrate 28 is washed with pure water having the dissolved oxygen concentration of lower than 300ppb. After the washing, it is stored in pure water having the dissolved oxygen concentration of lower than 300 ppb.



## LEGAL STATUS

[Date of request for examination] 24.06.1999

[Date of sending the examiner's decision of rejection] 09.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3237944

[Date of registration] 05.10.2001

[Number of appeal against examiner's decision of rejection] 2001-01611

[Date of requesting appeal against examiner's decision of rejection] 08.02.2001

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-140377

(43)公開日 平成 6 年(1994) 5 月20日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/304

識別記号

3 4 1 M

庁内整理番号

8831-4M

L 8831-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 13 頁)

(21)出願番号 特願平5-53614

(22)出願日 平成 5 年(1993) 3 月15日

(31)優先権主張番号 特願平4-240664

(32)優先日 平 4 (1992) 9 月 9 日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 白田 宏治

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72)発明者 金谷 宏行

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72)発明者 山田 啓作

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(74)代理人 弁理士 須山 佐一

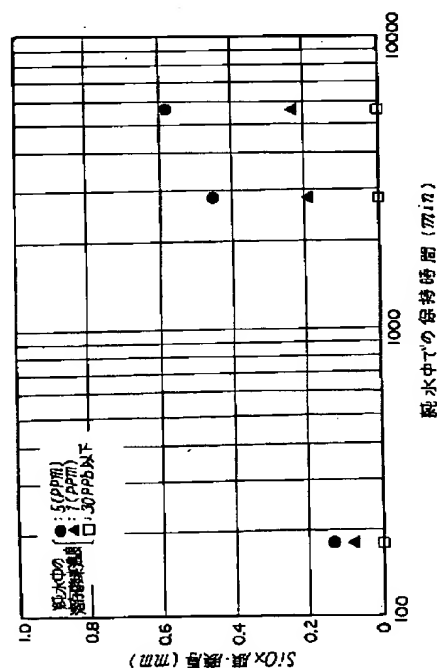
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 結晶表面をより一層清浄化することを可能にすると共に、その清浄化された結晶表面をより安定に長時間保つことを可能にした半導体装置の製造方法を提供する。また、シリコン基板表面の原子レベルでの平坦化を、安全でかつ簡便に行うことを可能にする。

【構成】 結晶上に、結晶膜、金属膜、絶縁膜等を形成する成膜工程の前処理として、結晶表面の残留不純物を液状表面処理剤で除去する工程と、残留不純物を除去した後の結晶を、実質的に酸化物を形成しない純水、具体的には溶存酸素濃度が300ppb以下の純水で洗浄すると共に、純水中で保存する工程とを行う。また、溶存酸素濃度が300ppb以下の純水で洗浄することにより、シリコン結晶表面を平坦化する。



## 【特許請求の範囲】

【請求項1】 結晶上に、結晶膜、金属膜、絶縁膜等を形成する成膜工程を含む半導体装置の製造方法において、

前記成膜工程の前処理として、前記結晶表面の残留不純物を液状表面処理剤で除去する工程と、前記残留不純物を除去した後の結晶を、実質的に酸化物を形成しない純水で洗浄すると共に、前記純水中で保存する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 シリコン結晶上に、結晶膜、金属膜、絶縁膜等を形成する成膜工程を含む半導体装置の製造方法において、

前記成膜工程の前処理として、前記シリコン結晶表面を水素終端する工程と、前記水素終端されたシリコン結晶を、実質的に酸化物を形成しない純水で洗浄することにより、前記シリコン結晶表面を平坦化する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の製造プロセスにおける結晶表面の清浄化は、得られる半導体装置の品質に極めて大きな影響を及ぼす。シリコン結晶表面の場合を例にとると、その表面に存在する自然酸化膜、有機汚染物、重金属等の残留不純物は、例えば低温での高品質Siエピタキシャル結晶の成長を妨げたり、薄膜ゲート酸化膜の高精度の制御を困難にしたり、あるいはメタルオーミックコンタクトの作製における直列抵抗の増加や整流特性等の劣化といった、プロセス阻害要因や素子性能低下要因として働く。従って、酸化膜、有機物、重金属等の残留不純物のないクリーンな結晶表面の形成が不可欠である。

【0003】シリコン結晶表面の清浄化処理としては、有機物や自然酸化膜の除去を目的として、有機洗浄や酸洗浄を行った後に、真空中で800～1000℃程度の高温で加熱する方法が広く用いられている。この方法は確実ではあるものの、清浄化表面が非常に活性となるため、安定に保つことが容易ではない。他方、酸化膜除去に限れば、化学反応を利用したドライエッチングが適用できるが、重金属を十分に除去することができないことから、ウェット前処理の併用が不可欠となっている。上述したような技術の代表例としては、フッ酸(HF)洗浄による結晶表面の酸化膜除去とその後の最表面シリコンの水素終端(水素ターミネーション)が挙げられる。この方法で清浄化されたシリコン結晶表面は、その後大気中で数時間にわたって酸化されないことが報告されている。ただし、通常の半導体装置の製造工程においては、HF洗浄した後に純水を用いてリンス処理する必要があり、この純水中の溶存酸素濃度がシリコン結晶表面の酸化等に影響

を及ぼすことが知られている。

【0004】ところで、結晶上の酸化膜厚や炭素、酸素等の表面組成等は、XPS(X-rayphotoelectron Spectroscopy)を用いることによって、より詳細に評価することができる。図25に、一般的なシリコン基板表面のXPS測定結果を示す。このスペクトルをSi酸化膜とSi基板結晶から得られる信号強度に分離すると、Si基板結晶上のSi酸化膜厚は、約0.8nmと求められる。また、同一の試料を用いて、図26に示すように、エネルギー領域を変えて測定したXPS結果からは、Si、酸素、炭素等の表面組成の評価が行え、例えば図26からはSi、酸素、炭素がそれぞれ39.58%、46.37%、14.05%存在することが分かる。

【0005】上述したようなXPS評価を利用して、HF洗浄した後に、一般的に使用されている溶存酸素濃度が数ppm程度の純水でリンスしたシリコン基板結晶表面の酸化膜厚や表面組成を調べると、数オングストローム程度の酸化膜がリンス直後に存在しており、さらに有機物汚染も発生していることが分かる。これらは1μmルール程度の半導体装置ではほぼ問題にならないものの、設計ルールの微細化や高集積化が進むにつれて、悪影響を及ぼすようになってきている。また、上記したシリコン結晶の酸化は、リンス時間の経過と共に進行する。これらのことから、半導体装置の高性能化を図る上で、シリコン結晶等の表面をより清浄にすることができ、かつ、その清浄な状態を保持することが可能な処理方法が求められている。

【0006】一方、フッ酸を含む処理液は、シリコン基板の平坦化処理にも用いられている。例えば、シリコン(111)基板表面に関しては、pH調整した緩衝フッ酸(以下、BHFと記す)溶液による処理や、フッ酸で処理した後に純水中でボイルする処理等が行われており、原子レベルでの平坦化が実現されている。また、シリコン(100)基板表面に関しては、BHF溶液(pH=5.3)を用いた処理によって、最も平坦な表面が得られることが報告されている。

【0007】しかしながら、上述した平坦化処理においては、例えばBHF溶液処理ではその後に純水リンスを行わないことが条件となっており、またフッ酸処理に関しては純水リンスを高温で行わなければならない等、製造プロセスの安全性や安定化の点で難点があった。このようなことから、簡易にかつ安全にシリコン基板表面を平坦化することが可能な処理技術が求められている。

【0008】ここで、最近の0.1μmルールのCMOSでは、ゲート酸化膜の厚さが数nmであり、またEEPROMのトンネル酸化膜も7～10nm程度と、酸化膜の厚さを極めて薄くすることが求められている。このような薄い酸化膜では、シリコン表面の凹凸が酸化膜形成後の凹凸に相似的に伝達される。MOSゲート耐圧は、シリコン表面のラフネスに依存しており、表面の平坦性が高い

ほどゲート耐圧の均一性が向上する。また、EEPROMの信頼性に関しては、トンネル酸化膜の平坦化によって、電界集中の緩和と電界耐圧の向上が認められる。このようなことから、安全でかつ簡便な、シリコン基板表面の原子レベルによる平坦化技術が強く求められている。

#### 【0009】

【発明が解決しようとする課題】上述したように、シリコン表面に代表される結晶表面の清浄化技術が精力的に検討されてはいるものの、従来の清浄化技術では、清浄化度が不十分となる技術領域が出現していると共に、清浄化後の結晶表面の酸化膜の増加や炭素、酸素の吸着に見られるように、清浄化した表面をその状態で保持することが困難であった。これらは、結晶表面への良好な結晶成長等を阻害することから、より高性能の半導体装置を得る上で、上記したような問題点の解決が望まれている。

【0010】一方、従来のシリコン基板の平坦化技術においては、安全性や安定性の点で問題があることから、安全でかつ簡便な、シリコン基板表面の原子レベルによる平坦化技術が望まれている。

【0011】本発明は、このような課題に対処するためになされたもので、結晶表面をより一層清浄化することを可能にすると共に、その清浄化結晶表面をより安定に長時間清浄に保つことを可能にした半導体装置の製造方法を提供することを目的としており、また本発明の他の目的は、シリコン基板表面の原子レベルでの平坦化を、安全でかつ簡便に行うことを可能にした半導体装置の製造方法を提供することにある。

#### 【0012】

【課題を解決するための手段】本発明における第1の半導体装置の製造方法は、結晶上に、結晶膜、金属膜、絶縁膜等を形成する成膜工程を含む半導体装置の製造方法において、前記成膜工程の前処理として、前記結晶表面の残留不純物を液状表面処理剤で除去する工程と、前記残留不純物を除去した後の結晶を、実質的に酸化物を形成しない純水で洗浄すると共に、前記純水中で保存する工程とを有することを特徴としている。また、第2の半導体装置の製造方法は、シリコン結晶上に、結晶膜、金属膜、絶縁膜等を形成する成膜工程を含む半導体装置の製造方法において、前記成膜工程の前処理として、前記シリコン結晶表面を水素終端する工程と、前記水素終端されたシリコン結晶を、実質的に酸化物を形成しない純水で洗浄することにより、前記シリコン結晶表面を平坦化する工程とを有することを特徴としている。

#### 【0013】

【作用】本発明における第1の半導体装置の製造方法においては、例えばフッ酸を含むような液状表面処理剤で結晶表面の残留不純物を除去した後、実質的に酸化物を形成しない純水、具体的には溶存酸素濃度が300ppb以下

の純水でリンス洗浄している。ここで、純水中での結晶の表面酸化は、純水中の溶存酸素濃度を300ppb以下というように極めて低くすると、酸化が起きないほどに抑えることができる。また、炭素、酸素といった表面汚染物の付着も抑制することができる。よって、表面処理を行った後の清浄な結晶表面を、純水によるリンス洗浄後においても保持することができる。この状態は、純水中への浸漬時間にほとんど依存しないため、リンス洗浄後に溶存酸素濃度が300ppb以下の純水中で、表面処理およびリンス洗浄した結晶を保存することにより、当初の清浄な状態を長時間保持することが可能となる。なお、Si(100)面に比べて、Si(111)面の方が溶存酸素に対する許容度は高く、1ppm以下程度でも効果がある。

【0014】また、上記した溶存酸素濃度が300ppb以下というような純水は、シリコン結晶表面の平坦化にも寄与する。すなわち、フッ酸等を含む処理液で表面処理したシリコン結晶の表面は、水素で終端されているものの、平滑度に関しては十分ではない。この状態のシリコン結晶表面の簡単な模式図を図1に示す。同図に示すように、シリコン結晶1の表面には、ステップ2やファセット3等のマイクロラフネスが存在する。図2に、フッ酸処理等によって水素終端されたシリコン原子の状態を示す。水素11と結合したシリコン原子12と、内部のシリコン原子13との結合力14は、固体内のシリコン同士の結合力15に比較すると弱い。一方、純水中には、OH<sup>-</sup>基16が $10^{-7}$ mol/l存在しており、このOH<sup>-</sup>基16は上記した弱められたシリコン-シリコン結合14に挿入して、最表面のシリコン原子12をエッチングする効果を有している。ただし、純水中の溶存酸素濃度が高い（例えば5ppm程度）と、最表面のシリコン原子12、特に図1中のステップ2の部分が酸化され、OH<sup>-</sup>基16の効果を十分に引き出すことができない。

【0015】これに対して、溶存酸素濃度が300ppb以下というような純水によれば、前述したように、結晶表面の酸化が抑制されるため、上記したOH<sup>-</sup>基によるエッチング効果を十分に発揮させることが可能となる。そして、このOH<sup>-</sup>基によるエッチングは、主に図1中のステップ2の部分で生じるため、常温程度の純水リンス処理によっても、シリコン結晶の表面を平坦化することができる。

【0016】すなわち、従来の高濃度溶存酸素を含む純水リンスでは、酸化膜が形成されることにより妨げられていたシリコン結晶表面と純水との相互作用を、溶存酸素濃度が300ppb以下というような純水を用いることにより確実に生じさせることが可能となる。この結果、純水がシリコン結晶をエッチングすることにより、結晶表面を平坦化することができる。例えば、平滑度の目安である中心線平均粗さR<sub>a</sub>（DIN 4768、JIS B 0601）で表した場合、本発明による平坦化処理によれば、溶存酸素濃度が300ppb以下というような純水で処理するだけで、R

、 $\approx 0.1\text{nm}$ 以下という値を  $100 \times 100\text{nm}^2$  以上の領域において達成することが可能となる。このように、デバイスサイズでの平坦化が可能となると同時に、酸化膜の形成や酸素、炭素といった表面汚染物の付着等を抑えて、結晶表面を高度に清浄化することができるため、良好な結晶成長や界面の電気特性の向上を実現することができ、より高性能な半導体装置を得ることが可能となる。なお、Si(100)面に比べて、Si(111)面の方が溶存酸素に対する許容度は高く、1ppm以下程度でも効果がある。

【0017】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0018】まず、本発明における第1の半導体装置の製造方法に関する実施例について、図3～図11を参照して述べる。

【0019】図3は、本発明の半導体装置の製造方法を適用した、一実施例による結晶表面の前処理装置の構成を模式的に示す図である。同図において、21はバルブ22が介挿されたドレイン管23を下部に有する処理容器であり、この処理容器21は、石英、あるいはPFAやPVDF等のテフロン系樹脂のような低溶出の材質で構成されている。処理容器21は、同様な材質からなる蓋24により密閉されており、この蓋24には純水等の導入管25が接続されている。この純水導入管25には、バルブ26が介挿されている。

【0020】上記処理容器21内には、予め処理内容に応じて選択した液状表面処理剤27、例えば純水、フッ酸系、硫酸系、塩酸系、過酸化水素系、アンモニア系、あるいはそれらを組み合わせて調整したものを収容しておき、その中に被処理物例えばシリコン結晶基板28を投入し、まず結晶表面の残留不純物、例えば酸化膜や有機汚染物等を除去する。次いで、バルブ22、26を開け、溶存酸素濃度が300ppb以下の純水を処理容器21内に導入し、表面処理剤27と純水との置換を行った後、シリコン結晶基板28表面を溶存酸素濃度が300ppb以下の純水で洗浄する。

【0021】この純水による洗浄後は、結晶膜、金属膜、絶縁膜等を形成する成膜工程、例えばMBE、CVD、LPE等による結晶成長工程、メタル蒸着等による金属膜の形成工程等を行うまで、シリコン結晶基板28は上記した溶存酸素濃度が300ppb以下の純水中で保存する。

【0022】上述したような前処理を行うことによって、シリコン結晶基板28表面への酸化膜の形成や有機汚染物の付着等を防止することができ、半導体装置の電気的性質を大幅に改善することができる。また、表面処理剤27と純水との置換は、これらのいずれかの液にシリコン結晶基板28の表面が接触している状態で、すなわち大気等に晒さないようにして行うことが好ましい。処理途中で大気等にシリコン結晶基板28の表面を晒す

と、有機汚染物等の付着を招くおそれがある。

【0023】上記構成の結晶前処理装置を用いて、上述した手順に従って、比抵抗 $25 \sim 50 \Omega \cdot \text{cm}$ の6インチp-Si(100)基板の前処理を行った。処理液としては、2%HF水溶液と、本発明における純水の一例として、溶存酸素濃度が30ppb以下の純水を用いた。図4に、シリコン結晶基板27上に形成される酸化膜厚をXPSにより測定した結果を、純水中での経過時間との関係として示す。なお、図4には、本発明との比較として、溶存酸素濃度が5ppmの純水、および溶存酸素濃度が1ppmの純水をそれぞれ用いた結果を併せて示す。

【0024】図4から明らかなように、溶存酸素濃度が30ppb以下の純水を用いた場合には、通常のリンス時間（通常20分程度）経過後において、酸化膜が形成されていないだけでなく、5000時間経過した後においても表面が酸化されていない。これに対して、溶存酸素濃度が5ppmや1ppmの純水では、通常のリンス時間が経過した時点で、ある程度の厚さの酸化膜が形成されていると共に、酸化膜の厚さは時間経過と共に増加している。

【0025】上記極低溶存酸素濃度の純水による効果、すなわち酸化膜の形成を抑制する効果に関しては、溶存酸素濃度にして300ppbまではほぼ同等の効果が得られた。なお、Si(111)面では1ppm以下で効果が得られた。これらのことから、純水中での表面酸化は溶存酸素濃度が300ppb以下、より具体的には200ppb程度になると、酸化が起きないほどに抑えられ、長時間その中で保存しても当初の清浄な状態が維持できることが分かる。

【0026】また、上記した手順で前処理したシリコン結晶基板と、2%HF水溶液で処理した後、1分間基板表面を大気に晒し、その後に溶存酸素濃度が30ppb以下の純水でリンスしたシリコン結晶基板とを用いて、それぞれの表面残留不純物（炭素、酸素）量をXPS測定によって求めた。それらの結果を図5に示す。

【0027】上記した両試料共に、Si-O結合による酸化膜は観測されなかったが、図5から明らかなように、途中で大気に晒した試料は、大気に晒すことなく連続してHF処理と純水処理を行った試料に比べて、別の形で結合した酸素や炭素の量が20%程度多かった。この結果から、HF処理後の清浄化された結晶表面を、大気に晒さずに連続的に純水に置換してリンスを行うことによって、純水による結晶表面の水素終端が優先的に行われ、大気中の炭素や酸素が結晶表面に吸着、あるいは結合することが抑制できることが分かる。そして、一度水素による終端が行われれば、炭素や酸素等による表面汚染をより低減することが可能となる。

【0028】上述したような前処理を施した結晶基板を用いて、デバイスを作製することにより、その電気的性質を大幅に改善することが可能となる。その一例として、上記実施例に基く前処理、具体的には2%HF水溶液により処理と、溶存酸素濃度DOが30ppb以下の純水による

10

20

30

40

50

リンスを連続して行ったシリコン結晶基板上に、金属を蒸着して、そのコンタクト抵抗を測定した。また、本発明との比較として、溶存酸素濃度が約8ppmの純水を用いる以外は、同様にして処理したシリコン結晶基板上に金属を蒸着して、そのコンタクト抵抗を測定した。これらの結果を図6に示す。図6から、溶存酸素濃度が約8ppmの純水を用いた試料に比べて、本発明による試料はコンタクト抵抗が小さいことが分かる。

【0029】また、図7は本発明の一実施例により作製した半導体装置であり、NPN型のバイポーラトランジスタ(BJT)の構成を示している。図7に示すNPN型BJTの最終製造工程である、エミッタE、ベースB、あるいはコレクタCの電極形成過程の前処理として、上記実施例に基く前処理と、溶存酸素濃度が約8ppmの純水を用いた前処理とをそれぞれ行い、これら前処理材を用いて図7に示すNPN型バイポーラトランジスタをそれぞれ作製した。これらのベース電流のエミッターベースバイアス電圧 $V_{EB}$ による変化を図8に示す。ベース電流は、本発明の方法に基いて前処理した試料の方が、そのバイアス電圧による変化が小さく抑えられていることが分かる。また、バイアス電圧の変化による電流の変動も減少している。

【0030】図7では、拡散を用いたバイポーラトランジスタの結晶上への電極形成を例として示したが、このような電極形成の他にも、基板上にMBE、CVD、LPE等のエピタキシー成長によりトランジスタを形成する、BJT、HBT、MOS-FET等の製造工程における結晶上への結晶成長の前処理等、各種の成膜工程の前処理において同様な効果が得られる。

【0031】また、図9は本発明を適用した前処理装置の他の構成例を示している。図9に示す結晶前処理装置においては、蓋24に純水導入管25と共に、窒素導入管29が接続されている。この窒素導入管29にはバルブ30が介挿されている。

【0032】上記した前処理装置においては、図3に示した前処理装置と同様に、まず処理容器21内に被処理結晶28と液状表面処理剤27とを予め収容しておき、所定時間経過させて結晶28表面の残留不純物を除去する。次いで、バルブ30を開けて窒素導入管29から高純度窒素を導入した後、バルブ22、26を開けて純水を導入する。このように、窒素を導入した状態で純水を供給することにより、溶存酸素濃度が300ppb以下の純水をその場で作製することができる。溶存酸素濃度の減少は、ヘンリーの法則により説明できる。すなわち、液中の溶存酸素濃度は、その液が接する気体中の酸素分圧に依存することを利用すると、処理容器21内の窒素中酸素濃度を3Torr以下にすることにより、溶存酸素濃度を300ppb以下に低減することができる。また、処理容器21内の窒素中酸素濃度を0.1Torr以下にすることにより、溶存酸素濃度を10ppbオーダまで低減することが

きる。従って、処理容器21中に窒素を導入することにより、本発明に必要な純水中溶存酸素濃度が達成できる。また、窒素を導入することによって、液状表面処理剤27中の溶存酸素濃度を300ppb以下にまで減少させることもできる。

【0033】また、図10は結晶前処理装置の他の構成例を示している。上記実施例の前処理装置において、処理容器21への純水の流入速度が速い場合には、液中からの酸素の脱出速度が十分に確保されずに、所望の効果が得られないことも有り得る。この場合には、窒素と純水との接触面積を増すことが必要で、例えば図10中に示すように、窒素バブリングを行うことで、窒素と純水の接触面積を意図的に増すことができる。これにより、溶存酸素濃度を低減することが可能となる。

【0034】なお、上記した実施例では窒素を用いた場合を示したが、アルゴン、水素、ヘリウムガス等をはじめとする他の気体であっても、その気体中の酸素濃度が上記した濃度以下であれば同様の効果が得られる。

【0035】図11は、結晶前処理装置のさらに他の構成例を示している。前述した各実施例の前処理装置では、窒素等の酸素濃度が低い気体を供給することによって、溶存酸素濃度の低減を実現しているが、表面処理剤27や純水の表面と接する雰囲気を真空排気装置31により減圧することで、溶存酸素濃度を低減することもできる。この場合も、真空中の酸素濃度を3Torr以下にすることで、所望の溶存酸素濃度を達成することが可能である。

【0036】次に、本発明における第2の半導体装置の製造方法に関する実施例について、図12～図17を参照して述べる。

【0037】図12は、この実施例で使用した表面平坦化用の処理装置の構成を模式的に示す図である。図12に示す処理装置は、図9や図10に示した結晶の前処理装置と同様に、ドレイン管41を有する処理容器42と、純水導入管43および窒素導入管44が接続された蓋45とから主に構成されている。

【0038】上記構成の処理装置を用いて、予め処理容器42内に例えばHF系処理液46を収容しておき、このHF系処理液46中にシリコン基板47を浸漬し、所定時間経過させて、シリコン基板47の表面を水素終端した後、処理容器42内に窒素導入管44から超高純度窒素をバージし、その後に低溶存酸素濃度の純水を供給することによって、溶存酸素濃度が300ppb以下の純水でリンスすることができる。このように、表面平坦化処理についても、前述した表面清浄化用処理装置と同様の装置構成、および処理手順で行うことができる。すなわち、処理容器内への窒素の導入や処理液中への窒素バブリング、さらには処理容器内の減圧等を併用することにより、溶存酸素濃度を300ppb以下とした純水で安定してリンス処理することができる。上記した窒素の導入量や処

理容器内の減圧等の条件は、前述した表面清浄化処理と同様とする。

【0039】上述した処理手順に従って、シリコン基板表面の処理を行った。具体的には、5%のHF水溶液で約2分処理した後、本発明における純水の一例として、溶存酸素濃度が30ppb以下の常温の純水でリンスした。HF処理後および純水処理後のシリコン(100)表面および(111)表面のFT-IR(フーリエ変換赤外分光)法による測定結果(p偏向成分)を、図13および図14にそれぞれ示す。

【0040】ここで、FT-IR測定において、HF系処理液により水素終端したシリコン(100)および(111)の完全平坦面は、それぞれSi-H<sub>1</sub>、Si-H<sub>2</sub>だけの吸収が観測される。この他の吸収ピークは、基板表面のマイクロラフネス(図1中のステップ2やファセット3)によるものであり、原子レベルでの表面荒れを意味する。これらのマイクロラフネスは、(100)面ではSi-H<sub>1</sub>、Si-H<sub>2</sub>、(111)面ではSi-H<sub>1</sub>、Si-H<sub>2</sub>の形で吸収がFT-IR測定結果に現れる。

【0041】図13から、5%HF処理直後のシリコン(100)表面には、Si-H<sub>1</sub>の他にSi-H<sub>2</sub>の吸収があり、シリコン(100)表面が荒れていることが分かる。これに対して、溶存酸素濃度を30ppb以下に保持した純水を用いてリンスした後の表面の吸収ピークは、Si-H<sub>1</sub>が増加してSi-H<sub>2</sub>が減少していることが分かる。このことは、シリコン(100)表面の平坦性が向上していることを意味する。同様な効果が、シリコン(111)表面にも生じる。図14から、5%HF処理直後はSi-H<sub>1</sub>以外にSi-H<sub>2</sub>の吸収ピークがあり、シリコン(111)表面が荒れていることが分かる。これに対して、溶存酸素濃度を30ppb以下に保持した純水を用いて処理した後の表面の吸収ピークは、Si-H<sub>1</sub>が増加してSi-H<sub>2</sub>が減少している。このことは、シリコン(111)表面の平坦性が向上していることを意味する。

【0042】また、図15にシリコン(100)基板をHF系溶液で処理した後に、溶存酸素濃度を変化させた純水でリンス処理した際の、溶存酸素濃度と表面ラフネスの標準偏差(RMS)との関係を示す。純水中の溶存酸素濃度が300ppb以下、より具体的には200ppb以下になると、シリコン表面の酸化が抑制されてシリコンエッチングが生じ、その結果として表面の平坦性が向上し、RMSが小さくなることが分かる。また、シリコン(111)表面についても、同様な効果が得られた。

【0043】次に、上述した処理方法を適用した半導体装置の製造例として、0.1μmルールのCMOSを製造した例について述べる。図16は、この実施例で作製した0.1μmルールのNMOSの構成を示しており、まずシリコン(100)基板51にロコス酸化膜52を形成した。次いで、シリコン(100)基板51の成膜面にあたる表面の酸化膜をHF系溶液で除去した後、溶存酸素濃度が30ppb以下の純水でリンス処理を行い、平坦性に優れた

シリコン表面51aを形成した。このシリコン表面51a上に、ゲート酸化膜53(厚さ:5nm)をウェットあるいはドライ熱酸化により形成した。引き続き、ソース54、ドレイン55、ゲート電極56、ソース電極57、ドレイン電極58を形成した。

【0044】図17に、上記純水リンスにおける純水中の溶存酸素濃度を変化させた際の、溶存酸素濃度とゲート耐圧との関係を示す。溶存酸素濃度が5ppm程度までの純水で処理した領域はゲート電圧が低く、溶存酸素濃度が300ppb以下、より具体的には200ppb以下程度からゲート電圧が増加することが分かる。0.1μmルールNMOSの半導体装置に対応したゲート電圧を得るためには、溶存酸素濃度が300ppb以下の純水で処理する必要がある。より良好なゲート電圧を得るためには、溶存酸素濃度が200ppb以下の純水で処理することが好ましいことが分かる。さらに、溶存酸素濃度が30ppb以下の純水で処理することにより、0.1μmルールNMOSの半導体装置に最良のゲート電圧が得られることが分かる。また、既に報告されているように、平坦化によりシリコン表面にテラス等の凹凸(マイクロラフネス)が少ない場合に、NMOSゲートに電圧が印加された時、電界集中が緩和されてゲート電圧の均一化が可能となり、素子特性の均一化、歩留りの向上等が期待できる。この特性は(111)CMOSに示され、(111)の場合は1ppm以下でこの効果が表れる。

【0045】また、通常、MOS構造では、シリコン(100)基板がよく用いられる。これは、(100)のNit(単位面積当りのダングリングボンド数)が他の面方位に比べて少なく、電界ストレスに対する信頼性上有利であるためである。MOSの動作状態では、ホットエレクトロン、ホットホールのゲート酸化膜への飛び込みが存在する。この飛び込みの際に、ダングリングボンドが切れ、これが信頼性の低下につながる。この際、シリコン(100)表面に凹凸が存在すると、(100)面の他に(111)面方位等が存在していることを意味しており、理想的な(100)面とは言えない。すなわち、(111)面等は(100)面よりもNitが多いため、理想的な(100)のNitより凹凸が多い(100)表面では、ダングリングボンド数が多く存在することになり、信頼性が低下する。このようなことから、シリコン基板表面の平坦性を向上させることによって、信頼性を高めることが可能となる。

【0046】次に、シリコン結晶の表面平坦化処理の他の実施例について述べる。

【0047】まず、前述した実施例の表面平坦化処理と同様に、比抵抗25~50Ω・cmの6インチp-Si(100)基板を1%HF水溶液中に浸漬し、結晶表面の酸化膜を取り除いた後、処理容器内に超高純度窒素をバージし、その後に極低溶存酸素濃度の純水を供給することにより、溶存酸素濃度が約5ppbの純水でリンスした。

【0048】このようにして、純水でリンスしたシリコ



ン基板の表面粗さ $R_a$ を、 $100\text{nm} \times 100\text{nm}^2$ の領域について測定した。 $R_a$ は、大気中AFM (Atomic Force Microscopy)を用いて測定した $100\text{nm} \times 100\text{nm}^2$ の測定領域の値から算出した。図18に、上記 $R_a$ を溶存酸素濃度が約5ppbの純水によるリンス処理時間との関係として示す。

【0049】図18から、溶存酸素濃度が約5ppbの純水でリンス処理することによって、 $100\text{nm} \times 100\text{nm}^2$ というデバイスサイズに対応する領域において、 $R_a = 0.1\text{nm}$ 以下という原子レベルでの平坦化が達成できることが分かる。また、シリコン結晶基板表面の平坦性は、純水による処理時間に依存し、この実施例においては約30分の純水リンスにより、最も平坦な表面が得られている。すなわち、純水による処理時間の経過と共に、当初は表面の平坦性が向上し、処理開始から約30分から1時間程度の平坦性が最も高く、その後は時間の経過と共に表面の平坦性が低下していくことが分かる。このように、純水によるシリコン結晶表面の平坦化処理時間には、最適値が存在する。この最適時間は、処理条件例えば純水中の溶存酸素濃度や純水の供給量等によって変化するため、

実験的に最適値を求めて、純水リンスを実施することが好ましい。なお、シリコン(111)表面についても、同様な結果が得られた。

【0050】次に、上述した処理を適用したシリコン基板を用いて、 $0.1\mu\text{m}$ ルールのCMOSを製造した例について述べる。CMOSの構造および製造工程については、図16にその構造を示した前述の実施例と同様とした。上述した実施例による処理、すなわち194F処理と溶存酸素濃度が約5ppbの純水によるリンスを、純水による処理時間を種々変化させて行い、処理後の各シリコン基板を用いて、 $0.1\mu\text{m}$ ルールのCMOSを製造した。これら各CMOSのゲート耐圧と純水リンス時間との関係を図19に示す。

【0051】図19から、ゲート耐圧は平坦性の変化に対応して処理時間と共に向上し、平坦度が最も高いシリコン基板を用いた場合に最高値を示していることが分かる。また、最適処理時間を超えてリンスした基板については、処理時間と共にゲート耐圧も低下した。この結果から、シリコン基板表面の平坦性がゲート耐圧に大きく影響を及ぼし、極めて平坦性が高いシリコン基板を用いることによって、最適なゲート耐圧が得られることが分かる。

【0052】シリコン表面の平坦化は、電界集中の緩和に伴うゲート電圧の均一化をもたらし、素子特性の均一化、歩留りの向上等にも寄与することが期待できる。これらの効果は、基板の方位、NMOS、CMOS等の半導体装置の構造の如何にかかわらず得ることができる。

【0053】なお、上記各実施例においては、溶存酸素濃度が300ppb以下の純水による平坦化処理の前工程として、HF系溶液による処理でシリコン基板表面を水素終端

した例について説明したが、例えば真空中での水素ラジカル照射等により水素終端しても、同様な効果が得られる。

【0054】一方、例えばシリコン酸化膜の一部を開口した後の洗浄に、溶存酸素の低い純水を用いると、その開口径に依存して僅かではあるがエッチング作用が起きる。その例について以下に説明する。

【0055】図20に、フッ酸系溶液によりシリコン酸化膜(100nm)の開口部( $500\mu\text{m} \times 500\mu\text{m}$ )の自然酸化膜を除去した後の純水中でのシリコン(100)、(111)表面のエッチング量の溶存酸素濃度依存性を示す。図20よりシリコン(100)、(111)表面は、それぞれ300ppb以下、1ppm以下の溶存酸素濃度の純水においてエッチングされることが分かる。

【0056】図21は、シリコン酸化膜(100nm)のスケールをパラメータにとった場合の純水中(溶存酸素濃度30ppb)でのシリコンエッチング量の流速依存性を示したものである。図21から、シリコンエッチング量は流速を速くすると増加することが分かる。また、マスクスケールが小さくなるに従って、シリコンエッチング量が増加することも分かる。例えば、流速が $2\text{cm/sec}$ 、 $5\mu\text{m} \times 5\mu\text{m}$ のパターンでは、1時間当たり $\sim 4\text{nm}$ のエッチングが生じてしまう。

【0057】純水の流速 $2\text{cm/sec}$ で1時間洗浄した場合の $5\mu\text{m} \times 5\mu\text{m}$ のパターンのエッチング断面形状を図22に示す。図中、61はシリコン基板、62はシリコン酸化膜、63はエッチング段差、64は純水の流れの方向である。シリコン酸化膜62とシリコン基板61の露出部分61aのエッジ部分にストレスが原因と考えられる局所的な深いエッチング溝65が形成されてしまい、プロセス上およびデバイス構造上好ましくない。図23に、上記条件で純水の流速を $0.5\text{cm/sec}$ にした場合の断面形状を示す。エッチング量は $1\text{nm}$ に減少したため、局所的なエッチング溝も生じなくなり、表面の平坦性もよくなる。

【0058】シリコンのエッチング量を低減させる方法として、処理時間の短縮が考えられるが、実際のプロセスでは、最低限15分間の洗浄は必要である。図21の傾向から、将来の微細化するLSIにおいて、 $1\mu\text{m}$ 以下のサイズのパターンを考えた場合、15分間でエッチング量を $1\text{nm}$ 以下にするためには、 $0.5\text{cm/sec}$ 以下の流速は不可欠と考えられる。

【0059】図24に、上記の処理条件を満たすための処理装置を示す。処理装置70の材質としては、テフロン系、あるいは石英を用いることが好ましい。超高純度窒素ガス71は、蓋部分72内部に一度ため、均一に流出させるようになっている。また、蓋部分72の外周部分72aにも窒素ガスを流出させ、処理装置70内部に大気が入ることを抑制している。処理装置70内の雰囲気は、窒素ガスが充填されているため、5ppbの超純

水を超純水入り口73から供給した場合、処理槽74内の超純水中の溶存酸素濃度を10ppb以下に保持でき、シリコン基板75表面の酸化を完全に抑制することができる。また、超純水の流速は、超純水入り口73での水の供給量により制御できる。この処理装置70において、 $5\mu\text{m} \times 5\mu\text{m}$  レベル以下のパターンを具備するシリコン基板を洗浄処理した場合、シリコン表面は酸化することなく、エッチングも1nm以下(1時間処理)に制御できる。

【0060】

【発明の効果】以上説明したように、本発明の第1の製造方法によれば、表面酸化膜の成長抑制が実現できると共に、結晶表面に酸化膜とは別の形で存在する、例えば物理吸着または化学吸着している酸素、炭素等による汚染の低減を同時に実現することができる。このように、清浄な結晶表面が得られることによって、結晶成長や界面の電気特性等の向上を図ることができることから、高性能の半導体装置を再現性よく得ることが可能となる。

【0061】また、本発明の第2の製造方法によれば、簡便かつ安全に原子レベルで平坦化されたシリコン表面が得られることから、半導体装置の製造工程の安定化等を図ることができると共に、より高性能の半導体装置を再現性よく得ることが可能となる。

【図面の簡単な説明】

【図1】 HF系溶液で処理した後のシリコン基板表面の状態を模式的に示す図である。

【図2】 HF系溶液で水素終端したシリコン基板表面の状態を模式的に示す図である。

【図3】 本発明の一実施例で使用した結晶表面前処理装置の構成を模式的に示す図である。

【図4】 本発明の実施例で純水リンスしたシリコン基板の酸化膜厚と純水中での保持時間との関係を従来例と比較して示す図である。

【図5】 本発明の実施例で純水リンスしたシリコン基板における表面残留物のXPS測定結果を示す図である。

【図6】 本発明の実施例で作製した金属膜のコンタクト抵抗の前処理依存性を示す図である。

【図7】 本発明の実施例で作製したバイポーラトランジスタの構成を示す図である。

【図8】 本発明の実施例によるバイポーラトランジスタにおけるベース電流のエミッターベースバイアス電圧による変化の前処理依存性を示す図である。

【図9】 本発明の他の実施例による結晶前処理装置の構成を模式的に示す図である。

【図10】 図9に示す結晶前処理装置の変形例を示す図である。

【図11】 本発明のさらに他の実施例による結晶前処理装置の構成を模式的に示す図である。

【図12】 本発明の他の実施例で使用した処理装置の構成を模式的に示す図である。

【図13】 本発明の実施例で処理したシリコン(100)表面のHF処理後および純水処理後のFT-IR測定結果をそれぞれ示す図である。

【図14】 本発明の実施例で処理したシリコン(111)表面のHF処理後および純水処理後のFT-IR測定結果をそれぞれ示す図である。

【図15】 種々の溶存酸素濃度の純水でリンスした際のシリコン基板の表面ラフネスの標準偏差を示す図である。

【図16】 本発明の実施例で作製したNMOSの構成を示す図である。

【図17】 本発明の実施例で作製したNMOSの純水中の溶存酸素濃度とゲート耐圧との関係を示す図である。

【図18】 本発明の実施例におけるシリコン基板表面のR<sub>a</sub>と純水リンス時間との関係を示す図である。

【図19】 本発明の実施例で作製したNMOSのゲート耐圧と純水リンス時間との関係を示す図である。

【図20】 シリコン表面のエッチング量の溶存酸素濃度依存性を示す図であって、(a)はシリコン(100)表面の結果、(b)はシリコン(111)表面の結果を示す図である。

【図21】 シリコン酸化膜のマスキングスケールをパラメータにとった場合の純水中でのシリコンエッチング量の流速依存性を示す図である。

【図22】 純水の流速2cm/secで洗浄した場合のエッチング断面形状を示す図である。

【図23】 純水の流速0.5cm/secで洗浄した場合のエッチング断面形状を示す図である。

【図24】 本発明を適用した処理装置の一構成例を示す図である。

【図25】 シリコン基板表面のXPS測定結果の一例を示す図である。

【図26】 結晶表面の残留不純物濃度を測定するためのシリコン基板表面のXPS測定結果の一例を示す図である。

【符号の説明】

21、42……処理容器

23、41……ドレイン管

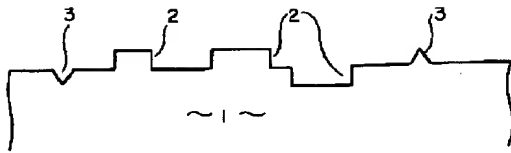
24、45……蓋

25、43……純水導入管

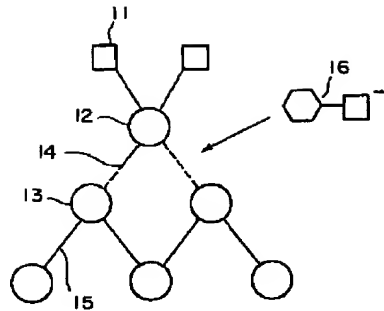
27、46……液状表面処理剤

28、47……シリコン結晶基板

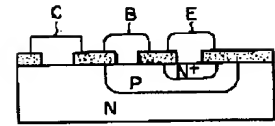
【図1】



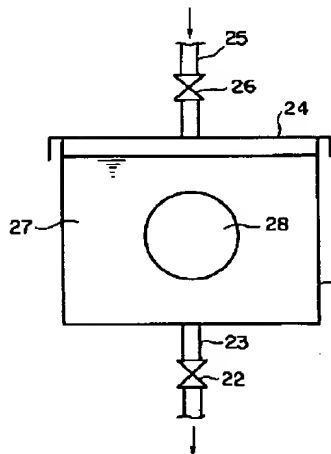
【図2】



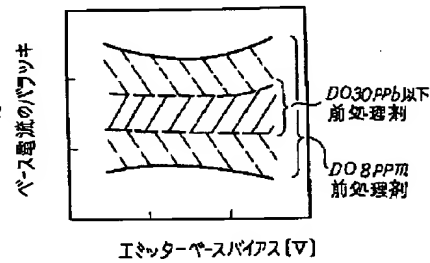
【図7】



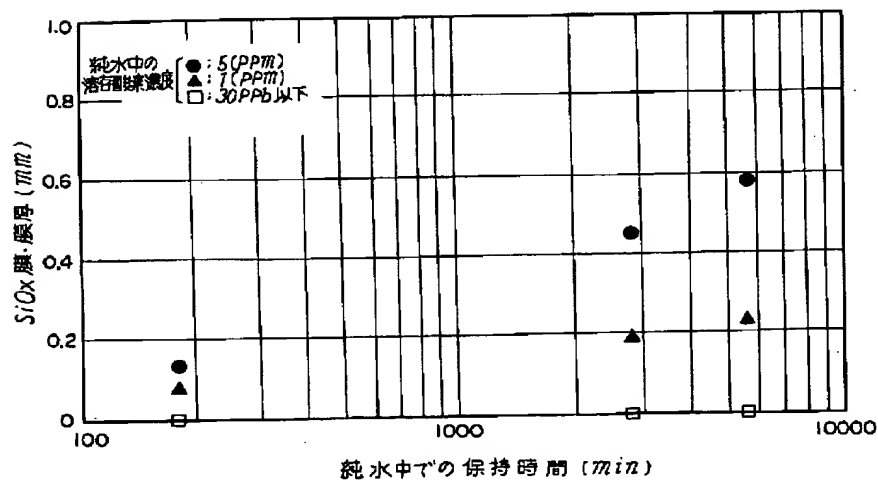
【図3】



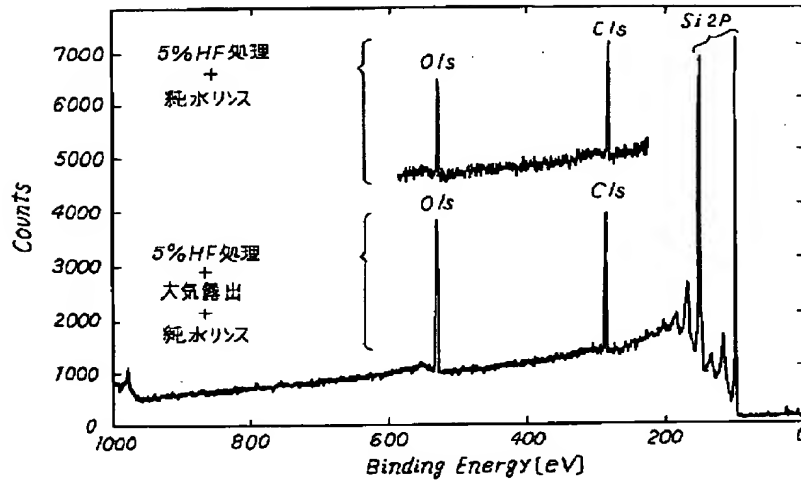
【図8】



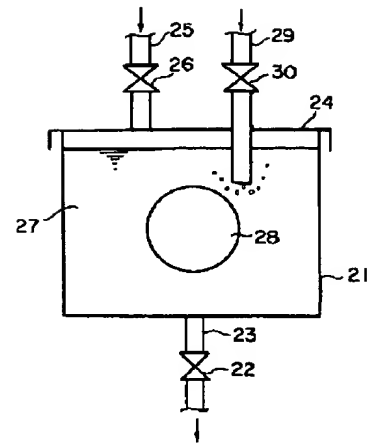
【図4】



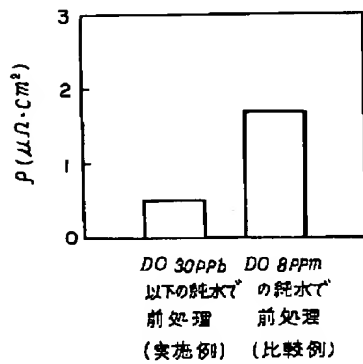
【図5】



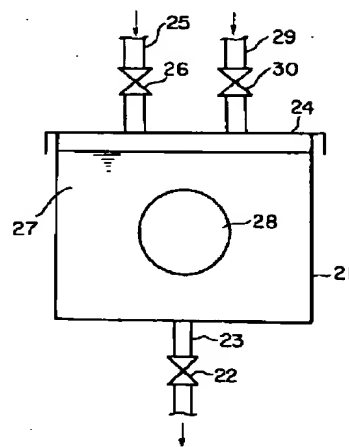
【図10】



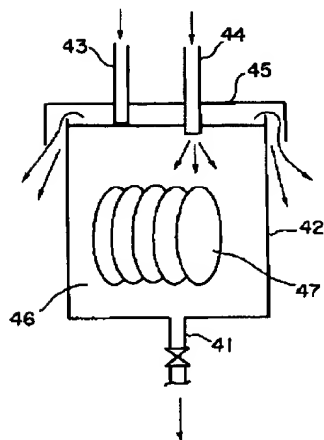
【図6】



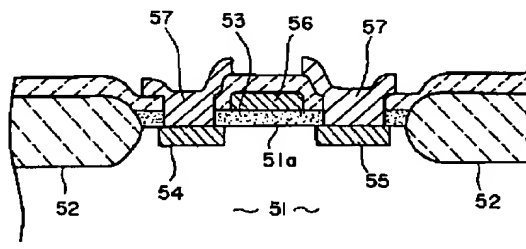
【図9】



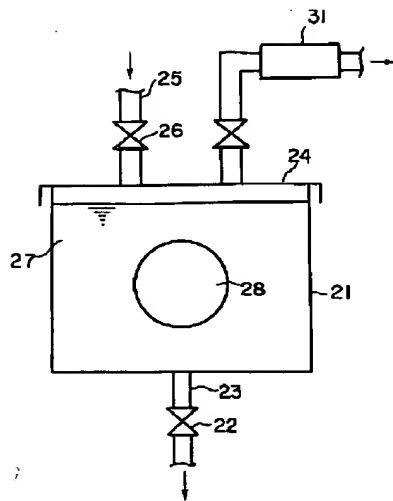
【図12】



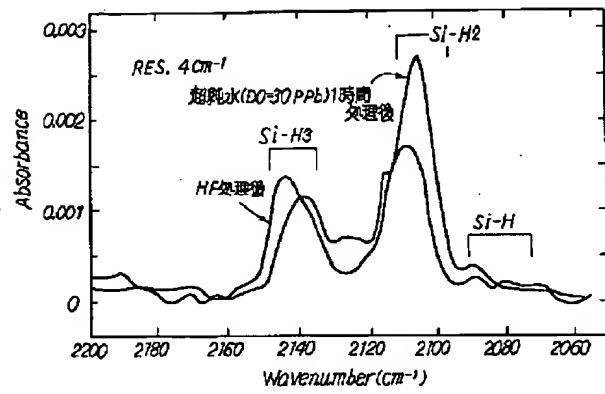
【図16】



【図11】

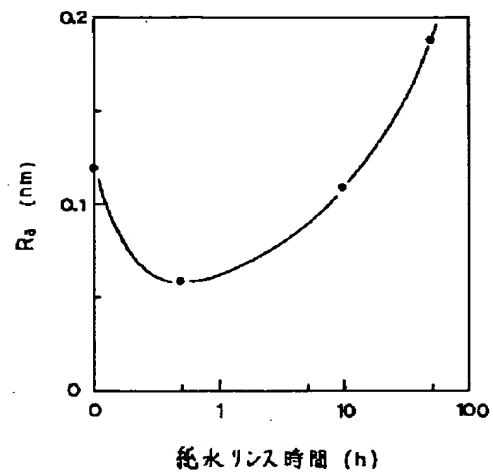
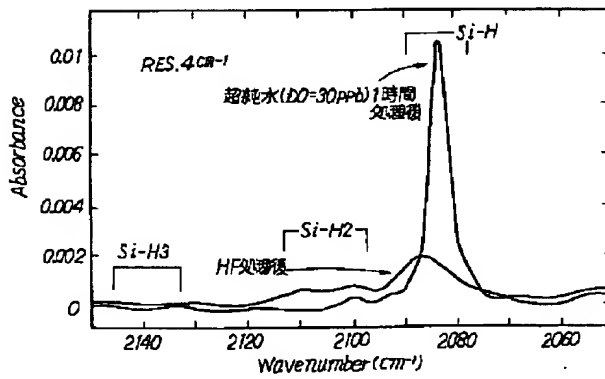


【図13】



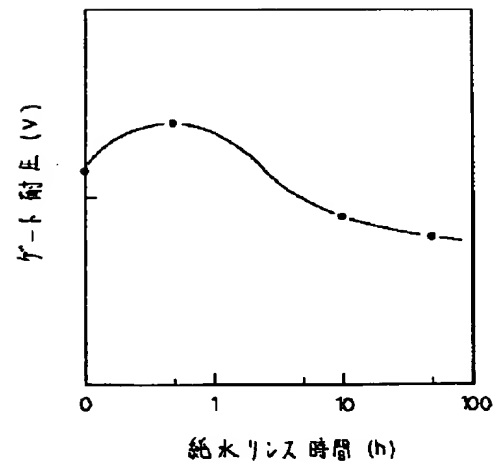
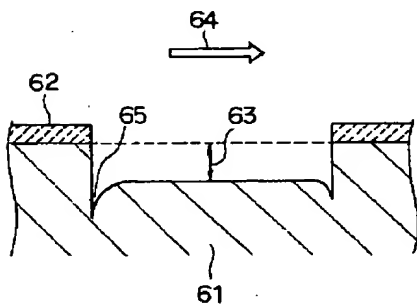
【図18】

【図14】

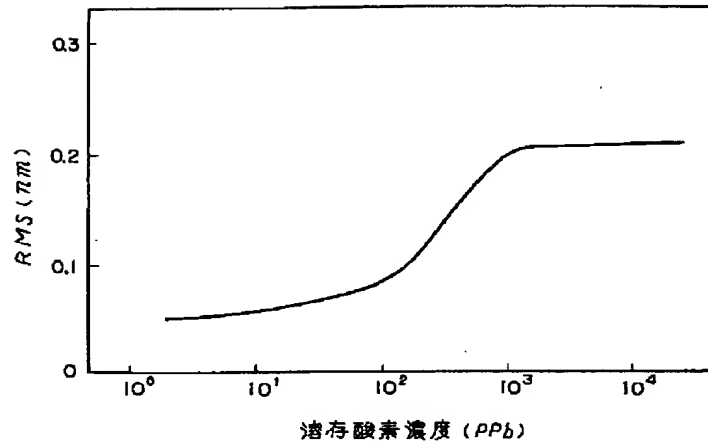


【図19】

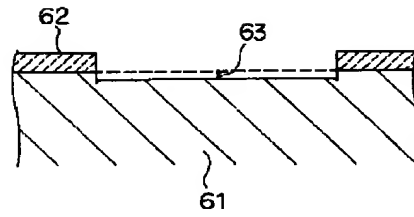
【図22】



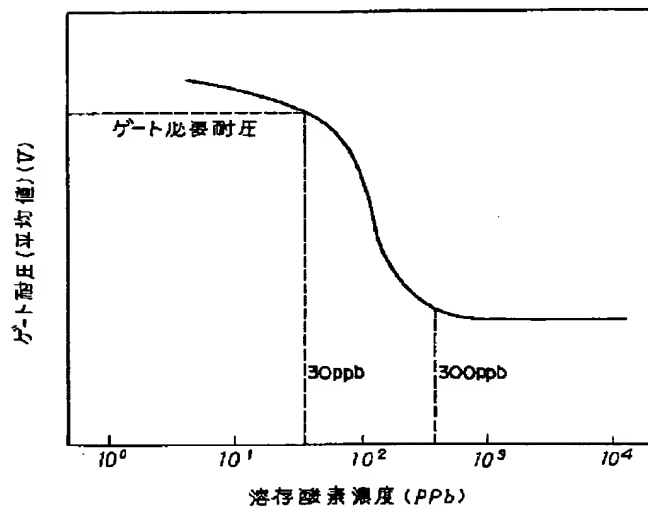
【図15】



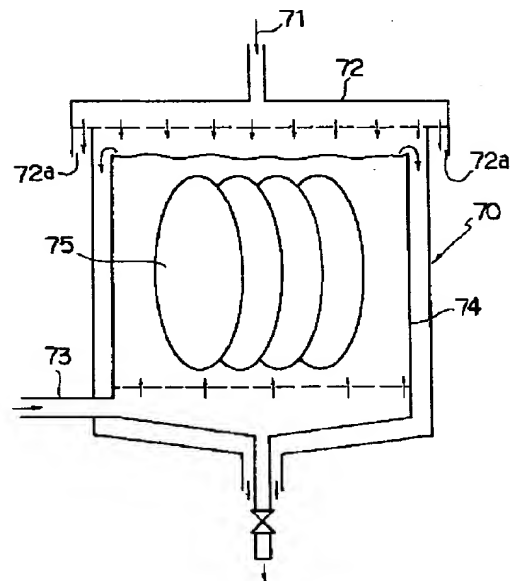
【図23】



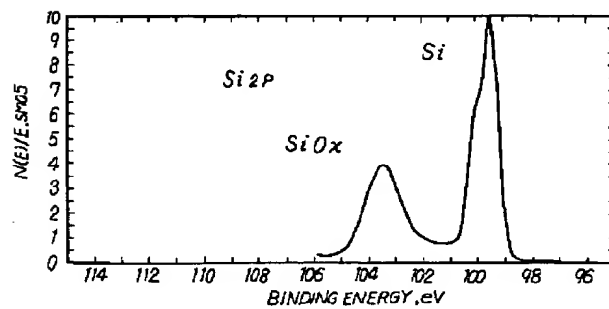
【図17】



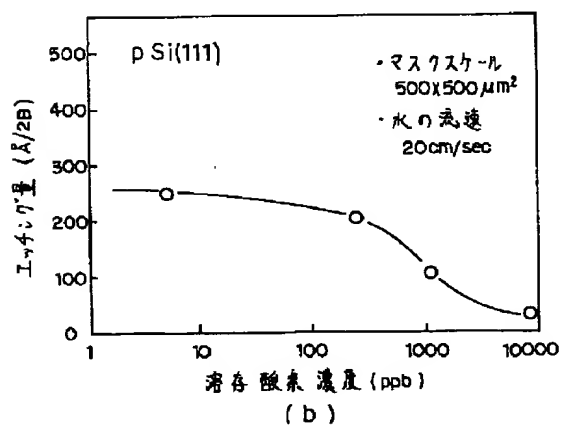
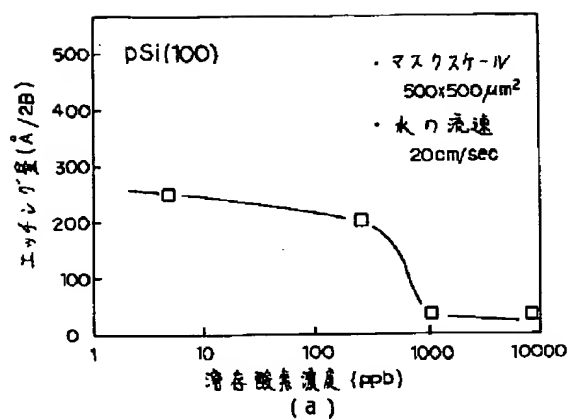
【図24】



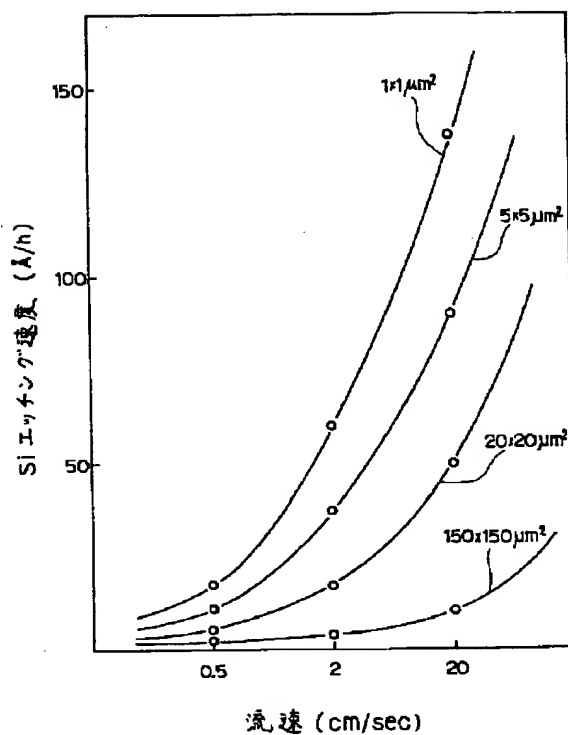
【図25】



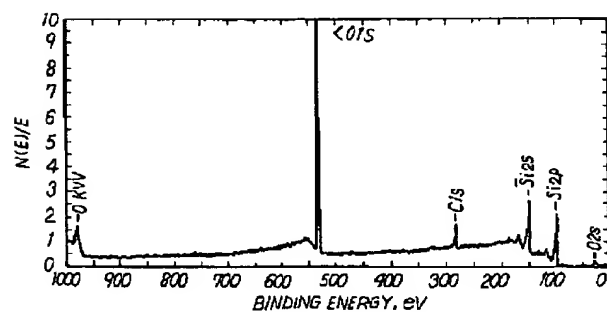
【図20】



【図21】



【図26】



フロントページの続き

(72)発明者 望月 博

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内